

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031290
(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H01L 21/8234
H01L 27/088
H01L 27/04
H01L 21/822
H01L 29/78

(21)Application number : 10-196200

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 10.07.1998

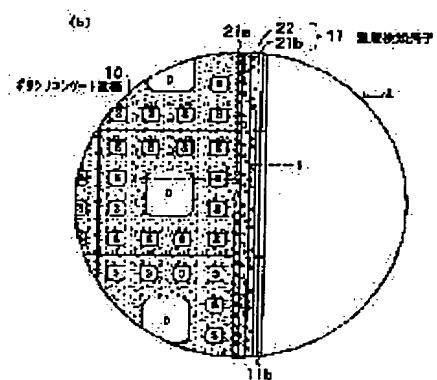
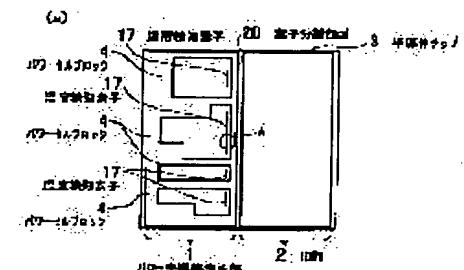
(72)Inventor : MIYAZAKI TORU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable mounting of a temperature detecting element allowing measurement with a high sensitivity on a power IC without causing an increase in a chip area, even when the temperature is irregularly increased.

SOLUTION: A temperature detecting part, which includes a p+ doped polysilicon region 21a, an n+ doped polysilicon region 22 and a p+ doped polysilicon region 21b, is positioned above a function region of a power block 4. A p-n junction diode of the n+ doped polysilicon region 22 and p+ doped polysilicon region 21b functions as a temperature detecting element 17. The p+ doped polysilicon region 21a is a region for electrically isolating the polysilicon gate electrode 10 from the n+ doped polysilicon region 22.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31290

(P2000-31290A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.⁷
H 01 L 21/8234
27/088
27/04
21/822
29/78

識別記号

F I
H 01 L 27/08
27/04
29/78

テーマコード(参考)
102 A 5 F 038
H 5 F 040
301 K 5 F 048
652 F

審査請求 未請求 請求項の数 7 OL (全 12 頁)

(21) 出願番号 特願平10-196200
(22) 出願日 平成10年7月10日 (1998.7.10)

(71) 出願人 000003997
日産自動車株式会社
神奈川県横浜市神奈川区宝町2番地
(72) 発明者 宮崎 透
神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内
(74) 代理人 100083806
弁理士 三好 秀和 (外8名)

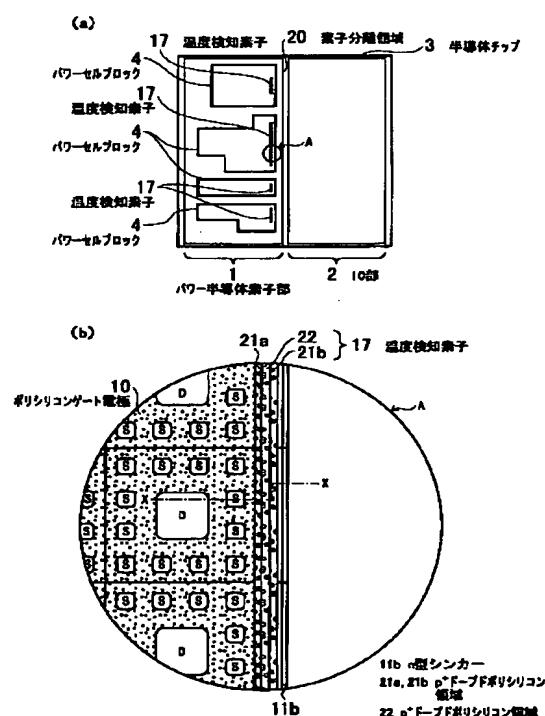
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 不均一な温度上昇が発生した場合においても高感度測定可能な温度検知素子を、チップ面積の増大を伴うことなくパワーICに搭載する。

【解決手段】 パワー半導体素子1のポリシリコンゲート電極10に連続して配置されたp⁺ドープドポリシリコン21a、n⁺ドープドポリシリコン領域22、p⁺ドープドポリシリコン領域21bからなる温度検知部を、パワーセルブロック4の機能領域の上部に配置する。n⁺ドープドポリシリコン領域22とp⁺ドープドポリシリコン領域21bとで構成されるp-n接合ダイオードが温度検知素子17として機能する。p⁺ドープドポリシリコン21aは、ポリシリコンゲート電極10とn⁺ドープドポリシリコン領域22とを電気的に分離するための領域である。



(2)

【特許請求の範囲】

【請求項1】 p型ポリシリコン領域およびn型ポリシリコン領域からなるp-n接合ダイオードを温度検知素子とし、該温度検知素子をパワー半導体素子の機能領域の上部に配置したことを特徴とする半導体装置。

【請求項2】 前記パワー半導体素子は第1導電型ポリシリコンゲート電極を有し、

前記温度検知素子は第1導電型ポリシリコン領域と、第1の第2導電型ポリシリコン領域とから少なくとも構成され、

該ポリシリコンゲート電極と該第1導電型ポリシリコン領域との間に、該ポリシリコンゲート電極と該第1導電型ポリシリコン領域とに接して、第2の第2導電型ポリシリコン領域を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記パワー半導体素子は第1導電型の埋込ドレイン領域と、該第1導電型の埋込ドレイン領域の上部の第1導電型ウェルと、該ウェルの表面に形成された第2導電型ベース領域と、該ベース領域とは離間して前記ウェル中に配置された第1導電型シンカーと、該ベース領域の一部の上部および前記ウェルの一部の上部に設けられたゲート絶縁膜と、該ゲート絶縁膜の上部に設けられた前記ポリシリコンゲート電極とを少なくとも具備し、

前記第1および第2の第2導電型ポリシリコン領域および前記第1導電型ポリシリコン領域は前記ベース領域と前記シンカーとの間の前記ウェルの上方に配置されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記温度検知素子は複数個あり、前記機能領域の上部に分割配置されていることを特徴とする請求項1乃至3のいずれか1に記載の半導体装置。

【請求項5】 前記複数個の温度検知素子は、それぞれ、互いに共通の第1の主電極、及び互いに独立な第2の主電極を有することを特徴とする請求項4記載の半導体装置。

【請求項6】 前記第1の第2導電型ポリシリコン領域に隣接して前記第1導電型ポリシリコン領域とは異なる他の第1導電型ポリシリコン領域、及び該他の第1導電型ポリシリコン領域に隣接した第3の第2導電型ポリシリコン領域がさらに配置され、前記第1導電型ポリシリコン領域及び前記第1の第2導電型ポリシリコン領域と共に前記温度検知素子を構成したことを特徴とする請求項2記載の半導体装置。

【請求項7】 前記パワー半導体素子と同一チップ上に、前記パワー半導体素子の駆動・制御回路と、前記温度検知素子からの信号を入力する保護回路を搭載したことを特徴とする請求項1乃至6のいずれか1に記載の半導体装置。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は電力用半導体装置(パワー半導体装置)に係り、特に温度検知素子を搭載したパワー半導体素子、パワーICおよび温度検知素子の配置及び周辺構造に関する。

【0002】

【従来の技術】温度検知素子を搭載した従来のパワーICとして、特開平7-66402号公報に記載のICが知られている。図11は、この特開平7-66402号公報に記載のパワーICの平面図の一部で、図12は図11のY-Y方向に沿った断面図である。図11および図12に示すように、出力段のパワー半導体素子部1に隣接して、このパワー半導体素子部1と同一半導体チップ上に、パワー半導体素子部1を駆動制御するための回路や保護回路からなるIC部2が配置されている。このパワーICの温度検知素子717は、パワー半導体素子部1の機能領域の外部に専用領域を設けて作り込んである。この温度検知素子717の出力は、IC部2中に配置された保護回路に、図示を省略した表面配線を介して接続されている。

【0003】この従来のパワーICの出力段のパワー半導体素子部1は、一般に、種々の負荷回路に接続されている。例えば、この負荷回路が短絡した場合、パワー半導体素子部1には過大な電力が加わるため、パワー半導体素子部1は発熱する。この熱はp型基板3及びフィールド酸化膜13等を通って、温度検知素子717に伝えられる。そして温度検知素子717の検知結果が所定の温度を超えた時に、保護回路が働いてパワー半導体素子部1のゲート電流を遮断するなどして、パワー半導体素子部1の破壊を防止するように構成されている。

【0004】

【発明が解決しようとする課題】しかし、図12のようにp型基板3上に温度検知素子717を配置して、温度検知部5を新規に作り込む場合には、この温度検知部5を配置するための専用のスペースが新たに必要であり、チップサイズが大型化するという不具合が生じる。

【0005】また、従来の温度検知素子は配置の自由度が小さく、発熱源となる電流経路の近傍に配置できない。熱は発熱源からの熱伝導で輸送されるが、熱経路が長く、熱抵抗が大きい。従って、発熱温度をより正確かつ迅速に検知することが出来ないと言う問題点があつた。

【0006】また、パワーセルブロック4の形状が複雑な場合や製造バラツキ等の原因により発熱が一様でない場合には、図11に示すようにパワーセルブロック4の1ヶ所だけに温度検知素子717を配置したのでは、正確に温度を検知することや、温度上昇に迅速に対応できないという問題があった。

【0007】もし、パワーセルブロック4の複数箇所に複数の温度検知素子717を配置すれば、それぞれ専用の面積を占有するので、ますます、チップサイズが大型

(3)

3

化するという問題が生じる。

【0008】さらに、図12のように温度検知部5の専用のスペースを設けるためには、ウェル中に図11に示すような凹部を設ける等のパターン形状の工夫が必要で、パワー半導体素子部1の構造が複雑化するという問題点も発生する。

【0009】特に、図11に示すような凹部は、凹部のコーナ部に電界集中が発生するので高耐圧化にも不利な影響を与える。

【0010】本発明はこのような従来の半導体装置の問題点に着目してなされたものである。

【0011】即ち、本発明は、パワー半導体素子部の面積を、その機能領域として必要最低限の面積よりも大きくすることなく、温度検知素子を搭載し、これにより発熱温度を正確かつ迅速に検知することが可能なパワーIC等の半導体装置を提供することを目的とする。

【0012】本発明の他の目的は、チップ上のある一部分での異常発熱も、正確かつ迅速に検知することが可能で、信頼性の高い半導体装置を提供することである。

【0013】本発明のさらに他の目的は、パターン形状等の構造を複雑化することなく、簡単な構造で温度検知素子を搭載可能であり、このため、製造単価の安く、製造歩留まりの高い半導体装置を提供することである。

【0014】

【課題を解決するための手段】上記目的を達成するため、この発明による半導体装置は、p型ポリシリコン領域およびn型ポリシリコン領域からなるpn接合ダイオードを温度検知素子とし、この温度検知素子をパワー半導体素子の機能領域の上部に配置したことを特徴とする。ここで、「p型ポリシリコン領域」とはボロン

(B)等のp型の不純物を添加したいわゆるドープドポリシリコンであり、「n型ポリシリコン領域」とは砒素(As)、アンチモン(Sb)、燐(P)等のn型の不純物を添加したドープドポリシリコンを言う。「パワー半導体素子の機能領域」とは、そのパワー半導体素子の耐圧やブロッキング特性等の所定の定格性能を維持するために必要な領域のことを言う。

【0015】すなわち本発明によれば、その定格性能を維持・確保するために必要であるが、いわば空きスペース(デッドスペース)となっているパワー半導体素子の機能領域の上部の面積を有効に使うことにより、特別な面積を占有することなく温度検知素子を配置できる。

【0016】本発明のパワー半導体素子は、DMOS(二重拡散MOSFET: Double-diffused MOSFET)、U字型の溝部を有したトレンチゲート型パワーMOSFET、V字型の溝部にゲートを構成したVMOS(V-grooved MOSFET)、平面型(横型)のパワーMOSFET、IGBT(絶縁ゲート型バイポーラトランジスタ: Insulated Gate Bipolar Transistor)、静電誘導トランジスタ(SIT)、静電誘導サイリスタ(SIサイリ

(3)

4

スタ)等の種々の半導体素子が適用可能である。

【0017】これらのパワー半導体素子が、第1導電型ポリシリコンゲート電極を有していれば、温度検知素子はポリシリコンゲート電極と一体で形成できるので好都合である。即ち、温度検知素子を第1導電型ポリシリコン領域と、第1の第2導電型ポリシリコン領域とから構成し、ポリシリコンゲート電極と第1導電型ポリシリコン領域との間に、ポリシリコンゲート電極と第1導電型ポリシリコン領域とに接して、第2の第2導電型ポリシリコン領域を有するようにすればよい。ここで、「第1導電型」と「第2導電型」とは互いに反対導電型である。すなわち第1導電型がn型であれば第2導電型はp型であり、第1導電型がp型であれば第2導電型はn型である。したがって、例えばn⁺ドープドポリシリコンゲート電極を有するnMOSFETがパワー半導体素子であれば、n⁺ドープドポリシリコンゲート電極/p⁺ドープドポリシリコン領域/n⁺ドープドポリシリコン領域/p⁺ドープドポリシリコン領域が連続的に形成され、これらのドーピングはイオン注入等により選択的に行えばよい。

【0018】より具体的には、パワー半導体素子は第1導電型の埋込ドレイン領域と、この第1導電型の埋込ドレイン領域の上部の第1導電型ウェルと、このウェルの表面に形成された第2導電型ベース領域と、このベース領域とは離間してウェル中に配置された第1導電型シンカーと、ベース領域の一部の上部およびウェルの一部の上部に設けられたゲート絶縁膜と、ゲート絶縁膜の上部に設けられたポリシリコンゲート電極とを少なくとも具備し、第1および第2の第2導電型ポリシリコン領域および第1導電型ポリシリコン領域はベース領域とシンカーの間のウェルの上方に配置されていることが好ましい。

【0019】但し、これらのパワー半導体素子が、必ずしもポリシリコンゲート電極を有していないなくてもよい。例えば、タンクスチタン(W)、モリブデン(Mo)、チタン(Ti)等の高融点金属、これらの高融点金属のシリサイド(WSi₂, MoSi₂, TiSi₂)、あるいはポリサイドゲート電極を有したパワー半導体素子にも適用可能である。これら高融点金属、高融点金属シリサイド、ポリサイドからなるゲート電極に、第1導電型ポリシリコン領域と第1の第2導電型ポリシリコン領域とから構成された温度検知素子を接続することは容易に可能であるからである。また、必ずしもゲート電極に温度検知素子を接続しなくても、パワー半導体素子の機能領域の上部に配置されればよい。

【0020】更に、温度検知素子は複数個あり、パワー半導体素子の機能領域の上部に分割配置されていることが好ましい。この場合、複数個の温度検知素子は、それぞれ、互いに共通の第1の主電極、及び互いに独立な第2の主電極を有するように構成すればよい。「第1の主

50

(4)

5

電極」とは、アノード電極又は、カソード電極の意であり、「第2の主電極」とは第1の主電極に対向するカソード電極、又はアノード電極の意である。すなわち、アノード電極が共通ならばカソード電極は互いに独立で、カソード電極が共通ならばアノード電極は互いに独立となる。例えば、パワー半導体素子の複数の集合であるパワーセルプロックの周辺部に独立した複数個の温度検知素子を配置し、これらの温度検知素子のそれぞれで温度を検知すれば、パワーセルプロックが大面積であっても、具体的にどこで異常な発熱があるかが分かる。このため、パワーセルプロックの形状が複雑で且つ大面積な場合であっても、あるいは製造バラツキ等によりパワーセルプロック内の発熱が一様でない場合であっても、温度上昇を正確に検知し、保護回路が迅速に対応できるのでパワー半導体素子の破損が防止できる。

【0021】さらに、本発明の特徴において、第1の第2導電型ポリシリコン領域に隣接して、第1導電型ポリシリコン領域（第1の第1導電型ポリシリコン領域）とは異なる他の第1導電型ポリシリコン領域（第2の第1導電型ポリシリコン領域）がさらに配置され、この第2の第1導電型ポリシリコン領域に隣接して、第3の第2導電型ポリシリコン領域が配置され、温度検知素子を構成してもよい。第1の第1導電型ポリシリコン領域と、第1の第2導電型ポリシリコン領域とから第1のpn接合ダイオードが形成され、第2の第1導電型ポリシリコン領域と、第3の第2導電型ポリシリコン領域とから第2のpn接合ダイオードが形成される。したがって、第1及び第2のpn接合ダイオードの直列接続で、温度検知素子が構成される。2つのpn接合ダイオードの直列接続とすることにより、より信頼性が高く、かつ高感度な温度検知素子が実現できる。

【0022】なお、本発明の半導体装置は、ディスクリートデバイスでも良く、パワー半導体素子と同一チップ上に、パワー半導体素子の駆動・制御回路と、温度検知素子からの信号を入力する保護回路を搭載したパワーICでもよい。ディスクリートデバイスの場合は、パワー半導体素子の駆動・制御回路や温度検知素子からの信号を入力する保護回路を搭載したICチップを、このディスクリートデバイスの近傍に配置し、ワイヤボンディングや金属配線でICチップとディスクリートデバイスを互いに接続すればよい。いずれにしても、温度検知素子を構成するための専用の面積が不要であるため、ディスクリートデバイス又はパワーICのチップ面積が増大することはない。

【0023】

【発明の効果】本発明によれば、パワー半導体素子の機能領域の上部、即ちパワー半導体素子の耐圧・ブロッキング特性等の定格性能を維持するために必須な領域内の上部に、温度検知素子を形成出来るので、温度検知素子の形成によるパワー半導体素子部の面積の増大はない。

6

【0024】同様に、温度検知素子を構成するための専用の面積が不要であるため、パワーICを構成した場合にも、そのICチップ面積の小型化が容易である。

【0025】また、本発明によれば、温度検知素子の配置の自由度が大きく、温度検知素子を発熱源となる主電流経路の真上、若しくはその極近傍に配置でき、発熱源からの熱抵抗が小さい。従って、発熱温度をより正確かつ迅速に検知することが可能となる。

【0026】本発明によれば、パターン形状等の構造を複雑化することなく、簡単な構造で温度検知素子をパワー半導体素子の機能領域の上部に配置し搭載することが可能である。

【0027】更に、本発明によれば、温度検知素子の配置の自由度が大きく、温度検知素子をパワー半導体素子の内部の上部（機能領域の上部）に分散して配置出来るので、ある一部分での異常発熱もより正確かつ迅速に検知することが可能である。

【0028】更に、本発明によれば、大面積のパワー半導体素子の特定の一部分での異常発熱や電流集中が正確かつ迅速に検知されるので、大電流用半導体装置の、安定且つ信頼性の高い動作が可能である。

【0029】また、パワーMOSFETのようなポリシリコンゲート電極を有するパワー半導体素子の場合には、ポリシリコンゲート電極を延長形成して、この延長された端部にp型およびn型の不純物をドーピングするだけで良い。従って、本発明によれば、パワー半導体素子およびパワーIC等の半導体装置を、特殊な技術や製造工程を必要とせず、容易に製造し実現できる。

【0030】
【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0031】（第1の実施の形態）図1（a）は本発明の第1の実施の形態に係るパワーICのチップ全体の平面図である。パワー半導体素子部1には複数のパワーセルプロック4が配置されている。各パワーセルプロック4は複数個のパワーセルから構成されている。各パワーセルはパワー半導体素子としてのLDMOS（Lateral DMOS）を有している。各パワーセルプロック4内の周囲（パワーセルプロック4の機能領域の上部）には、それぞれ温度検知素子17が配置されている。

【0032】図1（b）は図1（a）のパワーセルプロック4の端部Aを拡大した平面図であり、パワーセル1個、及びその周辺を示している。ただし図2（a）はボ

(5)

7

シリコンゲート電極 10 のレベルにおける配置を示す図である（理解をし易くするために、さらに上層の金属配線層等の図示は省略している）。温度検知素子 17 が、p 型ポリシリコン領域 21 b および n 型ポリシリコン領域 22 からなる p-n 接合ダイオードであることが示されている。図 1 (b) に示した第 1 導電型シンカーとなる n 型シンカー (NSK) 11 b は、パワーセルブロック 4 の機能領域の境界を画定するパターンであり、温度検知素子 17 はこの機能領域の上部に配置されていることが分かる。

【0033】図 2 (a) は図 1 (b) の X-X 方向に沿った階段断面図であり、IC 部 2 との境界部近傍に位置するパワー半導体素子 (LDMOS) 部 1 の機能領域の端部近傍を示す。すなわち、抵抗率 5~500 Ω·cm の p 型基板 3 の上面に第 1 導電型の埋込ドレイン領域となる n+ 埋込層 (NBL) 15 が形成されている。この n+ 埋込層 15 の上部に、第 2 導電型ウェルとなる p ウェル (PWL) 14 と第 1 導電型ウェルとなる n ウェル (NWL) 16 が形成されている。パワー半導体素子部 1 に設けられた n ウェル 16 の表面には第 2 導電型ベース領域 (p 型ベース領域) 6 が配置されている。p 型ベース領域 6 中には、n+ ソース領域 8 a, 8 b 及びバックゲート領域となる p+ コンタクト領域 7 が形成されている。n+ ソース領域 8 a, 8 b は断面図上では独立して表現されているが、平面図上では p+ コンタクト領域 7 を囲むリング状 (閉じた四角形) の一体の領域である。さらに、p 型ベース領域 6 の表面の一部、及びウェルの一部の上部に形成されたゲート絶縁膜 (ゲート酸化膜) 12 の上には厚さ 350 nm の n+ ドープドポリシリコンからなるポリシリコンゲート電極 10 が選択的に配置されている。そして、パワー半導体素子部 1 の端部には、第 1 導電型シンカーとなる n 型シンカー (NSK) 11 b が形成されている。さらに、埋め込みドレイン領域となる n+ 埋込層 15 と n+ ドレインコンタクト領域 9 とは、n 型シンカー (NSK) 11 a により互いに接続されている。

【0034】図 2 (a) に示すようにポリシリコンゲート電極 10 の端部は、このゲート電極 10 の部分と同じ 350 nm の厚さで、フィールド酸化膜 13 の上部まで伸延されている。このフィールド酸化膜 13 の上で、p+ ドープドポリシリコン領域 21 a, n+ ドープドポリシリコン領域 22, p+ ドープドポリシリコン領域 21 b の 3 つの領域に分割して配置され温度検知部 5 を構成している。p+ ドープドポリシリコン領域 21 a, 21 b のシート抵抗は 50~200 Ω、好ましくは 100 Ω 程度、n+ ドープドポリシリコン 22 のシート抵抗は 70~300 Ω 程度、好ましくは 140 Ω 程度であればよい。ポリシリコンゲート電極 10 および温度検知部 5 の上部には第 1 の層間絶縁膜 18 が配置されている。この第 1 の層間絶縁膜 18 中に開孔されたコンタクトホール

10

20

30

40

50

8

を介して n+ ドープドポリシリコン領域 22 にカソード (K) 電極 23, p+ ドープドポリシリコン領域 21 b にアノード (A) 電極 24 が接続されている。また第 1 の層間絶縁膜 18 中にコンタクトホールを開孔することにより、n+ ソース領域 8 a, 8 b と p+ コンタクト領域 7 とを短絡するように第 1 層ソース電極 31 が形成されている。第 1 層ソース電極 31 は、第 1 層ドレイン電極 26 を囲むように配置され、第 1 層ドレイン電極 26 の周辺の 12 個の n+ ソース領域を互いに接続している。さらに、図 2 (a) に示すように、第 1 の層間絶縁膜 18 中にコンタクトホールが開孔され、n++ ドレインコンタクト領域 9 に対して第 1 層ドレイン電極 26 が接続されている。

【0035】第 1 層ソース電極 31 および第 1 層ドレイン電極 26 の上部には第 2 の層間絶縁膜 19 が配置されている。この第 2 の層間絶縁膜 19 に開孔されたビアホールを介して第 2 層ドレイン電極 27 と第 1 層ドレイン電極 26 とが、また第 2 層ソース電極 32 と第 1 層ソース電極 31 とがそれぞれ互いに接続されている。第 2 層ドレイン電極 27 は隣接する他のパワーセルの第 1 層ドレイン電極 26 を互いに接続する配線層を兼ねている。同様に、第 2 層ソース電極 32 は隣接する他のパワーセルの第 1 層ソース電極 31 を互いに接続する配線層を兼ねている。第 2 層ドレイン電極 27 及び第 2 層ソース電極 32 により他のパワーセルのドレイン電極 D 及びソース電極 S が互いに接続され、パワーセルブロックを構成し、大電流動作を可能としている。そして、図示を省略しているが、第 2 層ドレイン電極 27 および第 2 層ソース電極 32 の上には、PSG 膜、BPSG 膜、あるいはシリコン窒化膜 (Si₃N₄ 膜) 等の表面パッジーション膜が形成されている。

【0036】図 2 (b) は温度検知部 5 へのカソード (K) 電極 23、アノード (A) 電極 24 の接続関係を示すための、拡大した平面図である。n+ ドープドポリシリコンゲート電極 10 と p+ ドープドポリシリコン領域 21 a との間に p-n 接合ダイオード 25 a が形成されている。そして p+ ドープドポリシリコン領域 21 a と n+ ドープドポリシリコン領域 22 との間に p-n 接合ダイオード 25 b が構成されている。さらに、p 型ポリシリコン領域 21 b および n 型ポリシリコン領域 22 から温度検知素子 17 が構成されている。p+ ドープドポリシリコン領域 21 a の線幅は 2 μm, n+ ドープドポリシリコン領域 22 の線幅は 3 μm, p+ ドープドポリシリコン領域 21 b の線幅は 3 μm である。したがって 1 μm × 1 μm のコンタクトホール 28 を第 1 の層間絶縁膜 18 中に開孔することによりカソード電極 23 を n+ ドープドポリシリコン領域 22 に、アノード電極 24 を p+ ドープドポリシリコン領域 21 b に接続できる。

【0037】図 1 および図 2 に示した n チャネルパワー MOSFET (LDMOS) は、通常ポリシリコンゲー

(6)

9

ト電極10に正の電圧を印加することによりp型ベース領域6の表面にチャネル層が形成される。この結果、ドレイン電極27, 26→n⁺⁺ドレインコンタクト領域9→n型シンカー11a→n⁺埋込ドレイン領域15→nウェル16→p型ベース領域6→n⁺ソース領域8a, 8b→ソース電極31, 32という経路で電流が流れ、熱が発生する。その熱はp型基板3あるいはポリシリコンゲート電極10を通って温度検知素子17に伝えられる。何らかの原因で異常な発熱が起きた場合は、温度検知素子17で検知し、検知信号はIC部2に設けられた保護回路に伝えられる。従来と比較して温度検知素子17がパワー半導体素子の近くに配置されるためより正確かつ迅速に検知できる。

【0038】n型シンカー11bはパワーセルブロックのガードリングの機能を有している。即ち、n型シンカー11bは、nウェル16からpウェル14へのリークを防止し、高耐圧を維持している。ガードリング構造により、p型ベース領域6とn⁺埋込ドレイン領域15間の耐圧を確保するためにp型ベース領域6とn型シンカー11b間にはある程度の距離が必要になり、いわばデッドスペースが発生する。そのためこのデッドスペースに温度検知素子17を形成すればパワー半導体素子部1の面積を増やすことなく配置できる。なお、図示を省略しているがn型シンカー11bの表面にn⁺⁺領域を設けることも有効である。このn⁺⁺領域は、n⁺⁺ドレインコンタクト領域9の形成時に、同時に形成すればよい。

【0039】図3は図2の等価回路図である。図3に示すようにアノード電極Aとカソード電極Kとの間に、温度検知素子17が接続されている。n⁺ドープドポリシリコンゲート電極Gには、パワー半導体素子(LDMOS)1の入力信号が印加される。そしてそのn⁺ドープドポリシリコンゲート電極Gとカソード電極Kとの間に、p-n接合ダイオード25aと、p-n接合ダイオード25aとは逆向きに直列配置されたp-n接合ダイオード25bが接続され、温度検知素子17とn⁺ドープドポリシリコンゲート電極Gとを電気的に分離している。図3の等価回路図におけるp-n接合ダイオード25aは、図2(b)に示すように、n⁺ドープドポリシリコンゲート電極10とp⁺ドープドポリシリコン領域21aなどで形成されている。そしてp-n接合ダイオード25bは、p⁺ドープドポリシリコン領域21aとn⁺ドープドポリシリコン領域22などで構成され、p型ポリシリコン領域21bおよびn型ポリシリコン領域22から温度検知素子17が構成されている。

【0040】図2(b)に示すようにp-n接合ダイオード25a, 25b、温度検知素子17とを合わせた線幅は2+3+3=8μmであり、パワーMOSFETの耐圧確保のために必要なp型ベース領域6とガードリングとなるn型シンカー11b間の距離に収めることができる。ソース・ドレイン間耐圧40Vを確保するために

10

は、p型ベース領域6とn型シンカー11bとの間は10μm程度は必要であるので、8μmの寸法はこの空きスペースに余裕を持って配置できる。ソース・ドレイン間耐圧が更に高いパワーMOSFET(LDMOS)では、このp型ベース領域6とn型シンカー11bとの間は更に長くなるので、p-n接合ダイオード25a, 25b、及び温度検知素子17を十分な余裕を持って配置できる。つまり、LDMOSの空きスペースを有効に利用することができるので、温度検知素子17を形成することによるパワーICのチップ面積の増大はない。また、nウェル16の平面パターンに、従来技術のような温度検知素子17を配置するための凹部(図11参照)を設ける必要もない。従って本発明の第1の実施の形態に係るLDMOSのnウェル16やn型シンカー11b等の平面パターンは、温度検知素子17を設ける際に特別な変更を要せず、パワーICの単純な構造が維持出来る。また、図11に示すようなコーナ部に電界集中が発生する凹部が無いので、LDMOSの高耐圧化にも有利な効果を奏する。

【0041】以下に、パワーセルブロック内の周囲にどのように複数の温度検知素子を配置するか、その具体例を示す。

【0042】配置例1(並列接続配置)：配置例1は4つの温度検知素子171, 172, 173, 174を1個のパワーセルブロックの周辺部に並列接続して配置する場合である。図4はこの配置例1の等価回路を示す。

【0043】図4に示すように4つの独立したアノード電極A1, A2, A3, A4と共にカソード電極Kとの間にそれぞれ温度検知素子171, 172, 173, 174が接続されている。ゲート電極Gには、パワー半導体素子1の入力信号が印加される。そしてそのゲート電極Gとカソード電極Kとの間に、p-n接合ダイオード25aと、p-n接合ダイオード25aとは逆向きのp-n接合ダイオード25bが接続されている。逆向きに直列接続されたp-n接合ダイオード25aと25bとで温度検知素子17とゲート電極Gとを電気的に分離している。

【0044】図5は図4に示す回路構成を実現するためには必要な半導体チップの平面図の一例である。図5は1個のパワーセルブロック4内を示しており、実際にはポリシリコンゲート電極10として示した中央の大きな四角形の部分にはドレインDやソースSがあるが図示を省略している(図1(b)参照。ドレインD、ソースSに対応した部分のポリシリコンゲート電極10には穴が開いている)。このパワーセルブロック4中にはパワーセルが複数配置されている。ポリシリコンゲート電極10の端部はパワーセルブロック4内の周囲にできるため、図5(a)ではこのポリシリコンゲート電極10に隣接して、かつ周回するようにp⁺ドープドポリシリコン領域21aが配置されている。p⁺ドープドポリシリコン領域21aが配置されている。

(7)

11

域 21 a のさらに外周には n^+ ドープドポリシリコン領域 22 が隣接して周回している。そして最外周には 4 つの独立した p^+ ドープドポリシリコン領域 231 b, 232 b, 233 b, 234 b が、 n^+ ドープドポリシリコン領域 22 に隣接して形成されている。 p^+ ドープドポリシリコン領域 231 b と n^+ ドープドポリシリコン領域 22 とで、温度検知素子 171 が構成されている。 p^+ ドープドポリシリコン領域 232 b, 233 b, 234 b と n^+ ドープドポリシリコン領域 22 とで、それぞれ、温度検知素子 172, 173, 174 が構成されている。こうして、温度検知素子 171, 172, 173, 174 がパワーセルブロック 4 の周囲に配置されている。 p^+ ドープドポリシリコン領域 231 b, 232 b, 233 b, 234 b はそれぞれアノード電極 A1, A2, A3, A4 に接続されている。このアノード電極 A1, A2, A3, A4 は、IC 部に設けられた保護回路に独立した 4 つの入力信号を与えるように、表面金属配線（図示省略）により導かれる。

【0045】図 5 (a) は n^+ ドープドポリシリコン領域 22, p^+ ドープドポリシリコン領域 21 a が完全にポリシリコンゲート電極 10 を取り囲んでいるが、必ずしも完全に取り囲む必要はない。図 4 に示す等価回路を実現するためには、共通のカソード領域を与えるように、少なくとも n^+ ドープドポリシリコン領域 22 が連続形成されるか、何らかの方法で電気的に接続されなければならない。図 5 (b) は n^+ ドープドポリシリコン領域 22 および p^+ ドープドポリシリコン領域 21 a の一部に切り欠き部が存在する場合の一例である。このように一部に切り欠き部が存在しても、4 つの独立したアノード電極 A1, A2, A3, A4 と共にカソード電極 K との間にそれぞれ温度検知素子 171, 172, 173, 174 を並列接続出来る。

【0046】図 5 に示すようにパワーセルブロック 4 の周辺部に独立した複数個の温度検知素子 171, 172, 173, 174 を配置し、これらの温度検知素子 171, 172, 173, 174 のそれぞれで温度を検知すれば、具体的にどこで異常な発熱があるかが分かる。特に、パワーセルブロック 4 の面積が大きな大電流用パワー半導体素子 1 において、不均一な温度分布が発生するような状況に有効である。

【0047】図 6 は温度検知素子へのアノード電極 24、カソード電極 23 の接続関係を詳細に説明するための平面図で、一例として図 5 の p^+ ポリシリコンゲート領域 234 b の近傍を示す。図 6 (a) はポリシリコンゲート電極の端部が第 1 層ソース電極の端部より比較的大きな幅を有して露出している場合である（図 6 (a) では第 2 層ソース電極 32 を示しているが、図 2 (a) に示すように、ほぼ同一の位置の下層に第 1 層ソース電極 31 が配置されている）。

【0048】図 6 (a) のように第 1 層ソース電極から

12

はみ出したポリシリコンゲート電極 10 の端部の寸法に十分な余裕（接続代）があれば $1 \mu\text{m} \times 1 \mu\text{m}$ 程度の開口面積のコンタクトホール 28 を用いて、ポリシリコンゲート電極 10 とゲート金属配線 29 とを接続することができる。同様にして n^+ ドープドポリシリコン領域 22 の上部に $1 \mu\text{m} \times 1 \mu\text{m}$ 程度のコンタクトホール 28 を開孔してカソード電極 23 を、 p^+ ドープドポリシリコン領域 234 b の上部に $1 \mu\text{m} \times 1 \mu\text{m}$ 程度のコンタクトホール 28 を開孔してアノード電極 24 を接続することができる。

【0049】図 6 (b) は第 1 層ソース電極からはみ出したポリシリコンゲート電極 10 の端部の寸法に余裕がない場合で、この場合はコンタクトホール 28 を配置するための舌（パッド領域）を一部において飛び出させ、このパッド領域を接続代に用いて、互いに接続している。このため、 n^+ ドープドポリシリコン領域 22, p^+ ドープドポリシリコン領域 21 a の一部が、パッド領域の部分で折り曲がった形状で配置されている。

【0050】なお、図 5 (b) に示すように n^+ ドープドポリシリコン領域 22, p^+ ドープドポリシリコン領域 21 a の一部に切り欠き部を設ければ、ゲート金属配線 29 の配置の自由度は増大するので、図 6 (b) に示すようなパッド領域を設ける必要はない。

【0051】配置例 2（直列接続配置）：配置例 2 は図 7 に示すようにアノード電極 A とカソード電極 K との間に、4 つの温度検知素子 175, 176, 177, 178 を直列接続した場合である。ゲート電極 G には、パワー半導体素子 1 の入力信号が印加される。ゲート電極 G と温度検知素子 175 のカソードとの間に、 p_n 接合ダイオード 251 a と、 p_n 接合ダイオード 251 b とは逆向きの p_n 接合ダイオード 251 b が接続されている。ゲート電極 G と温度検知素子 176 のカソードとの間に、 p_n 接合ダイオード 252 a と p_n 接合ダイオード 252 b が逆向きに直列接続されている。ゲート電極 G と温度検知素子 177 のカソードとの間に、 p_n 接合ダイオード 253 a と p_n 接合ダイオード 253 b が接続され、ゲート電極 G と温度検知素子 178 のカソードとの間に、 p_n 接合ダイオード 254 a と p_n 接合ダイオード 254 b が接続されている。

【0052】温度検知を p_n 接合の逆方向電流で測定する場合は、4 つの p_n 接合ダイオード 175, 176, 177, 178 がすべて導通状態となった時に温度上昇が検知できるので、温度検知素子の論理積（AND）に対応する。すなわち、パワーセルブロック 4 の全体が温度上昇した時に保護回路を動作させることができる。

【0053】一方、論理和（OR）の検出、即ち温度上昇による 4 つの温度検知素子 175, 176, 177, 178 のいずれかの逆方向電流の増大を検知する場合にはアノード（A）・カソード（K）間の抵抗変化若しくは電圧変化を測定すればよい。

(8)

13

【0054】図8は図7の回路構成を実現する具体的な平面パターンを示す図である。ポリシリコンゲート電極10の周辺の4箇所に独立したp⁺ポリシリコンゲート領域271a, 272a, 273a, 274aが配置されている。そしてこのp⁺ポリシリコンゲート領域271aに隣接してn⁺ポリシリコンゲート領域281が配置され、n⁺ポリシリコンゲート領域281に隣接してp⁺ポリシリコンゲート領域271bが形成され、温度検知素子178を構成している。同様にp⁺ポリシリコンゲート領域272a、n⁺ポリシリコン領域282、p⁺ポリシリコンゲート領域272bで温度検知素子177が、p⁺ポリシリコンゲート領域273a、n⁺ポリシリコン領域283、p⁺ポリシリコンゲート領域273bで温度検知素子176が、p⁺ポリシリコンゲート領域274a、n⁺ポリシリコン領域284、p⁺ポリシリコンゲート領域274bで温度検知素子175が構成されている。n⁺ポリシリコンゲート領域281とp⁺ポリシリコンゲート領域272b、n⁺ポリシリコンゲート領域282とp⁺ポリシリコンゲート領域273b、n⁺ポリシリコンゲート領域283とp⁺ポリシリコンゲート領域274bとは金属配線で互いに接続されている。

【0055】(第2実施の形態) 図9は本発明の第2の実施の形態に係るパワーICの温度検知素子の構成を示すための回路図で、図10は対応する温度検知素子の構造を示す模式的な断面図である。本発明の第2の実施の形態においては、2つのpn接合ダイオード179, 180の直列接続で温度検知素子を構成している。

【0056】本発明の第1の実施の形態に係るパワーICと同様に、図10はLD MOSの端部を示している。すなわち、本発明の第2の実施の形態に係るLD MOSは、図示を省略した基板の上面に第1導電型の埋込ドレン領域となるn⁺埋込層(NBL)15が形成され、このn⁺埋込層15の上部に、第1導電型ウェルとなるnウェル(NWL)16が形成されている。nウェル16の表面にはp型ベース領域、p型ベース領域中のn⁺ソース領域等が形成されていることは勿論である。nウェル16の端部には、第1導電型シンカーとなるn型シンカー(NSK)11bが形成されている。

【0057】図10に示すようにポリシリコンゲート電極10の端部は、このゲート電極10の部分と同じ350nmの厚さで、フィールド酸化膜13の上部までポリシリコンゲート電極10の端部が延長形成されている。この延長形成された部分に、左から順に、第2の第2導電型ポリシリコン領域(p⁺ドープドポリシリコン領域)21a、第1導電型ポリシリコン領域(n⁺ドープドポリシリコン領域)221、第1の第2導電型ポリシリコン領域(p⁺ドープドポリシリコン領域)211b、他の第1導電型ポリシリコン領域(n⁺ドープドポリシリコン領域)222、第3の第2導電型ポリシリコ

14

ン領域(p⁺ドープドポリシリコン領域)212bが配置され、温度検知素子を構成している。このフィールド酸化膜13の上で、p⁺ドープドポリシリコン領域21a、n⁺ドープドポリシリコン領域22、p⁺ドープドポリシリコン領域21bの3つの領域に分割して配置され温度検知部5を構成している。p⁺ドープドポリシリコン領域21a, 211b, 212bのシート抵抗は50~200Ω、好ましくは100Ω程度、n⁺ドープドポリシリコン221, 222のシート抵抗は70~300Ω程度、好ましくは140Ω程度であればよい。この温度検知素子の上部には第1の層間絶縁膜18が配置され、第1の層間絶縁膜18中に設けられたコンタクトホールを介してp⁺ドープドポリシリコン領域211bとn⁺ドープドポリシリコン領域222とが接続用金属配線30によって互いに接続されている。また同様に第1の層間絶縁膜18中に設けられたコンタクトホールを介して、n⁺ドープドポリシリコン領域221にカソード電極23が、p⁺ドープドポリシリコン領域212bにアノード電極24が接続されている。2つのpn接合ダイオード179, 180の直列接続で構成することにより、より信頼性が高く、かつ高感度な温度検知素子が実現できる。

【0058】pn接合ダイオードを2段直列接続することにより検知感度は2程度改善される。3段の直列接続ならば3程度検出感度を改善できる。

【0059】(その他の実施の形態) 上記のように、本発明は第1及び第2の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0060】例えば第2の実施の形態においても、第1の実施の形態で説明したような、複数の温度検知素子をパワーセルブロック内の周囲に配置してもよい。すなわち、図4に示すような並列接続配置や、図7に示すような直列接続配置が可能であることは、上記の本発明の説明から容易に理解できるであろう。

【0061】また、第1及び第2の実施の形態におけるp型とn型をすべて反転しても良い。この場合は、ダイオードの極性等は反転することは勿論である。さらに、第1及び第2の実施の形態において説明したLD MOS以外にも、トレンチゲート型パワーMOSFET等の他のパワーMOSFETをパワー半導体素子として用いてもよい。さらに、IGBT、SiT、Siサイリスタ、MOS制御サイリスタ(MOS-Controlled Thyristor: MCT)、エミッタ・スイッチド・サイリスタ(Emitter Switched Thyristor: EST)等の種々の半導体素子が本発明のパワー半導体素子として適用可能である。

【0062】このように、本発明はここでは記載してい

(9)

15

ない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【図面の簡単な説明】

【図1】図1(a)は本発明の第1の実施の形態に係るパワーICのチップの全体を示す平面図で、図1(b)は図1(a)のA部の拡大図である。

【図2】図2(a)は図1(b)のX-X方向に沿った階段断面図で、図2(b)は図2(a)の温度検知部の詳細を示す平面図である。

【図3】本発明の第1の実施の形態に係るパワーICの温度検知素子およびその周辺を示す等価回路図である。

【図4】本発明の第1の実施の形態に係るパワーICの温度検知素子を並列接続配置する場合の等価回路図である。

【図5】図4の具体的な平面レイアウトを示す模式図である。

【図6】図5のp⁺ドープドポリシリコン領域234bの近傍のみを示す拡大平面図である。

【図7】本発明の第1実施の形態に係るパワーICの温度検知素子を直列接続配置する場合の等価回路図である。

【図8】図7の具体的な平面レイアウトを示す模式図である。

【図9】本発明の第2の実施の形態に係るパワーICの温度検知素子およびその周辺を示す回路図である。

【図10】本発明の第2の実施の形態に係るパワーICの温度検知素子の断面構造を示す模式図である。

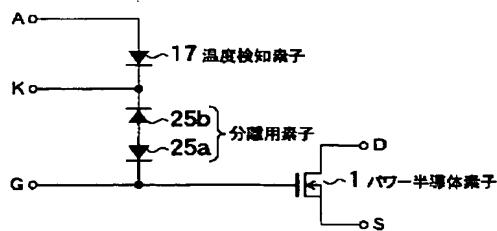
【図11】従来のパワーICの平面図である。

【図12】図11のY-Y方向に沿った部分断面図である。

【符号の説明】

- 1 パワー半導体素子部
- 2 IC部

【図3】

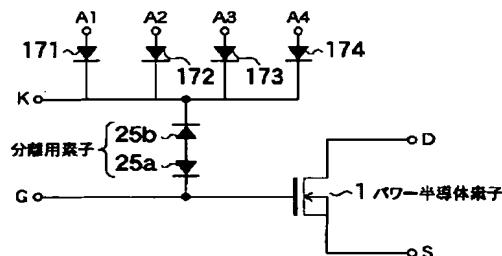


(9)

16

- 3 p型基板(半導体チップ)
- 4 パワーセルブロック
- 5 温度検知部
- 6 p型ベース領域
- 7 p⁺コンタクト領域
- 8 a, 8 b n⁺ソース領域
- 9 n⁺⁺ドレインコンタクト領域
- 10 ポリシリコンゲート電極
- 11 a, 11 b n型シンカー(NSK)
- 12 ゲート絶縁膜(ゲート酸化膜)
- 13 フィールド酸化膜
- 14 pウェル(PWL)
- 15 n⁺埋込層(NBL)
- 16 nウェル(NWL)
- 17, 171~178, 717 温度検知素子
- 18 第1の層間絶縁膜
- 19 第2の層間絶縁膜
- 20 素子分離領域
- 21 a, 21 b, 231 b~234 b, 211 b, 212 b, 271 a~274 a, 271 b~274 b p⁺ドープドポリシリコン領域
- 22, 281~284, 221, 222 n⁺ドープドポリシリコン領域
- 23 カソード電極
- 24 アノード電極
- 25 a, 25 b, 251 a~254 a, 251 b~254 b 分離用素子
- 26 第1層ドレイン電極
- 27 第2層ドレイン電極
- 28 コンタクトホール
- 29 ゲート金属配線
- 30 接続用金属配線
- 31 第1層ソース電極
- 32 第2層ソース電極
- 179, 180 p-n接合ダイオード

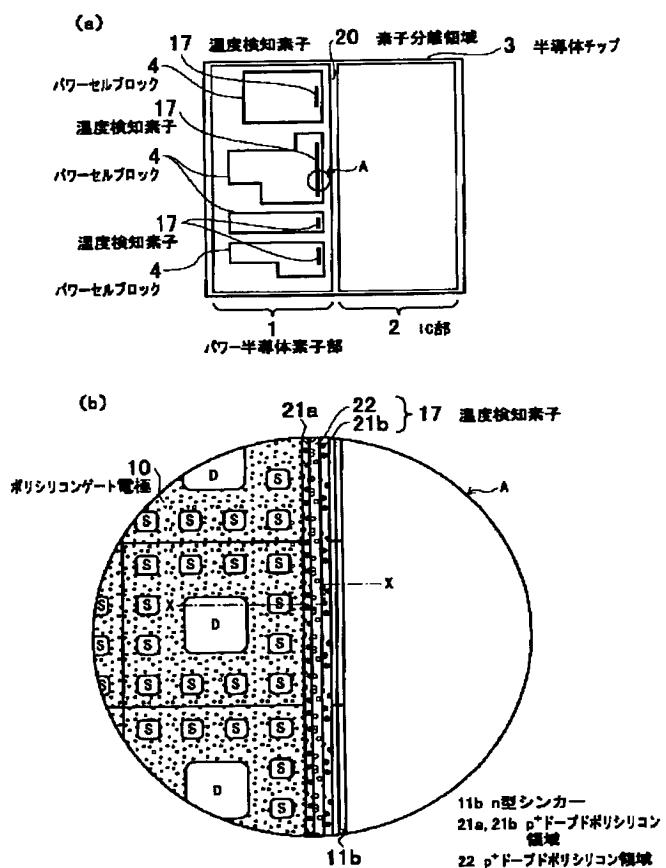
【図4】



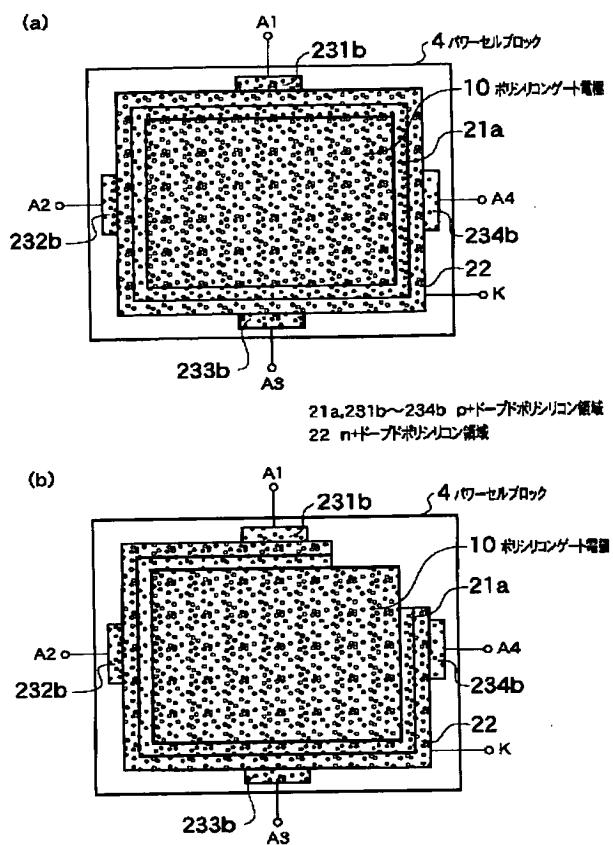
171~174 温度検知用素子

(10)

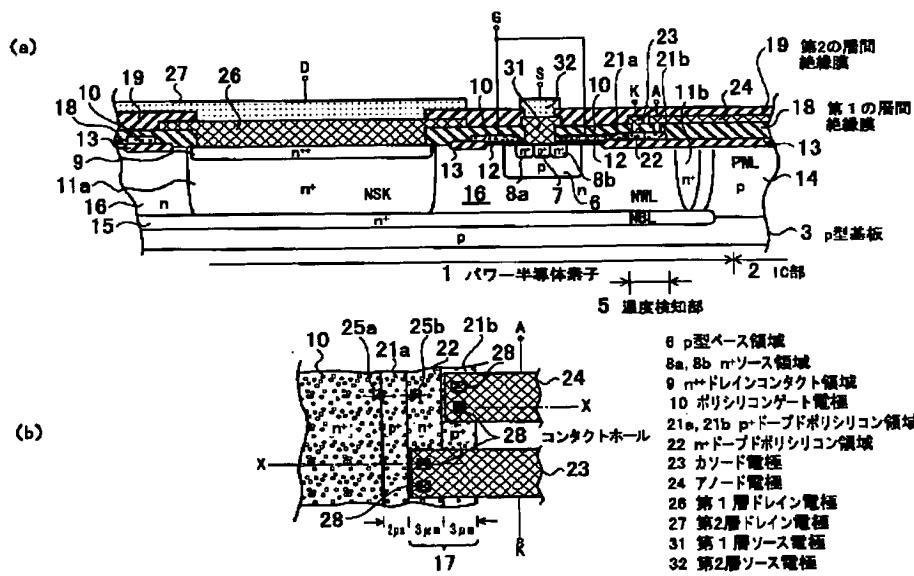
【图 1】



【図5】

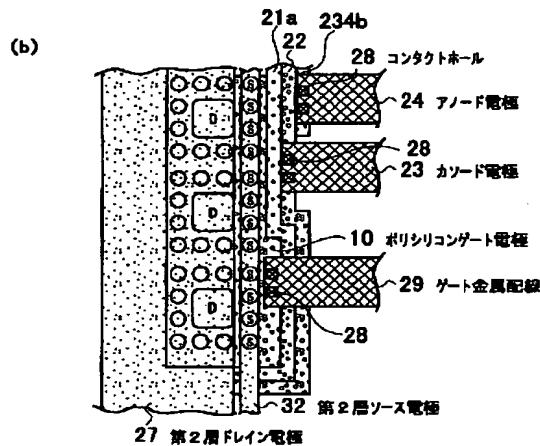
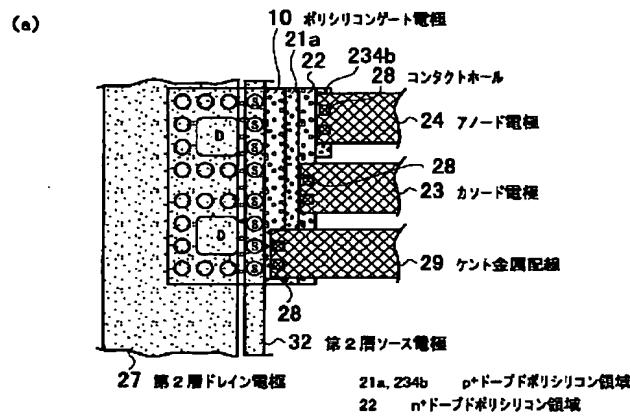


[図2]

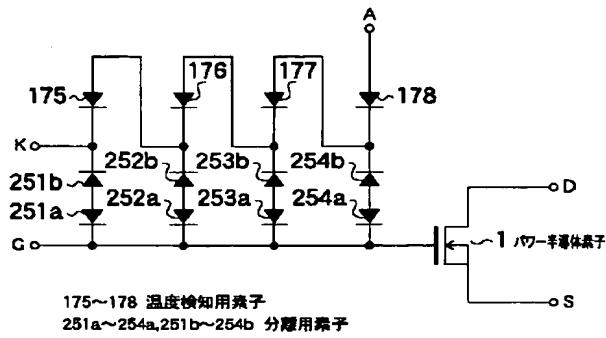


(11)

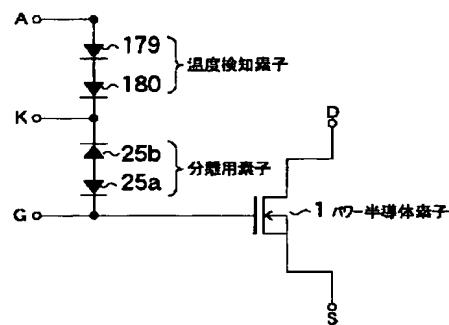
【図 6】



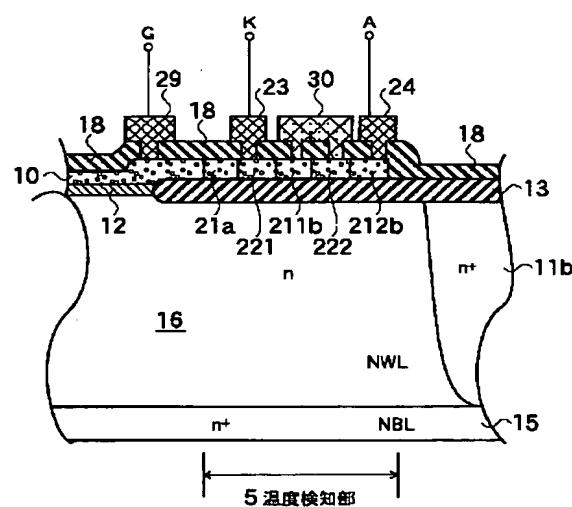
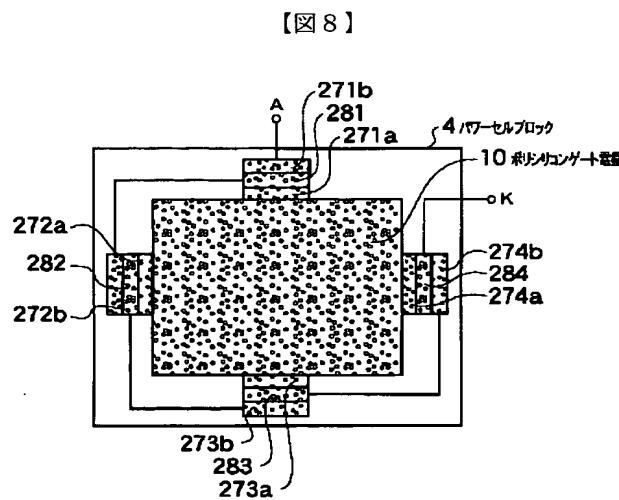
【図 7】



【図 9】

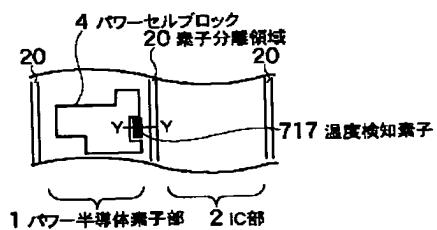


【図 10】

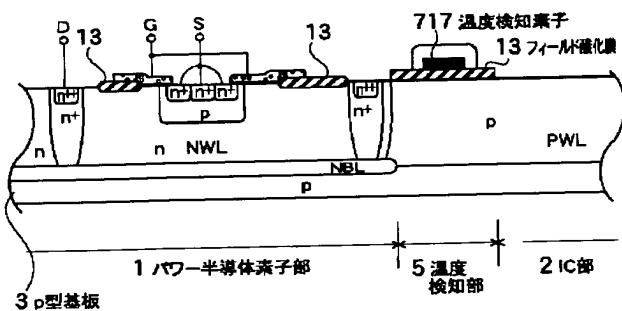


(12)

【図11】



【図12】



フロントページの続き

Fターム(参考) 5F038 AZ08 BH16 CA02 CA08 CD19
 DF14 EZ01 EZ20
 5F040 DA26 DB02 DC01 EC01 EC07
 EE02 EF04 EF18
 5F048 AA01 AB03 AB07 AB10 AC06
 AC10 BA12 BB01 BB06 BB07
 BB08 BC01 BC03 BC05 BD04
 BD07 BE03 BF02

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)